

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 59-135949

(43)Date of publication of application : 04.08.1984

(51)Int.Cl.

H04L 5/16

H04L 13/08

(21)Application number : 58-009943

(71)Applicant : PIONEER ELECTRONIC CORP

(22)Date of filing : 26.01.1983

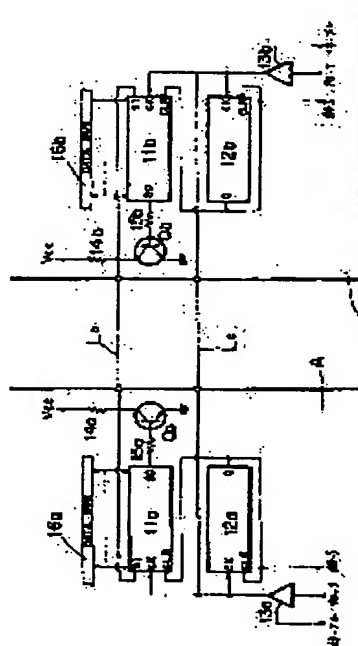
(72)Inventor : AOYANAGI YOSHIRO  
 UEKI YOSHIHARU  
 KUROSAKI MASANORI  
 KANEKO YUKIHIRO  
 MOTOHASHI MINORU  
 SAKAGUCHI SHOZABURO  
 SAWAKI MANABU

## (54) SERIAL DATA COMMUNICATING CIRCUIT

## (57)Abstract:

PURPOSE: To attain serial data communication for  $\geq 3$  sets by connecting a buffer which enables at transmission to output a signal of a shift register to feed back the buffer output to the register input.

CONSTITUTION: The transmission data is set to the shift register 11a and the shift register 11b is reset at the same time. Then, a tri-state buffer 13a is enabled to supply a shift clock to the register 11a and a counter 12a, and contents of the register 11a are shifted one by one bit and outputted to a data line LD. The shift clock is transmitted to the register 11b and the counter 12b through a clock line Lc at the same time and the data is fetched sequentially. The output of the register 11b is at L level always, a transistor Qb is turned off and its output does not give effect on the line LD. As a result, even if the number of sets is increased, the sets in the receiving state do not give any effect on the line LD, then lines LC, LKD of the extension sets have only to be connected respectively.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭59—135949

⑪ Int. Cl.<sup>3</sup>

H 04 L 5/16  
13/08

識別記号

庁内整理番号

7240—5K  
7240—5K

⑬ 公開 昭和59年(1984)8月4日

発明の数 1  
審査請求 未請求

(全 7 頁)

⑭ シリアルデータ通信回路

川越市山田字西町25番の1パイ  
オニア株式会社川越工場内

⑯ 特 願 昭58—9943

⑰ 発 明 者 本橋実

⑱ 出 願 昭58(1983)1月26日

川越市山田字西町25番の1パイ  
オニア株式会社川越工場内

⑲ 発 明 者 青柳芳郎

⑲ 発 明 者 坂口正三郎

川越市大字山田字西町25番地1  
パイオニア株式会社川越工場内

川越市山田字西町25番の1パイ  
オニア株式会社川越工場内

⑲ 発 明 者 植木喜治

⑳ 出 願 人 パイオニア株式会社

川越市山田字西町25番の1パイ  
オニア株式会社川越工場内

東京都目黒区目黒1丁目4番1  
号

⑲ 発 明 者 黒崎正謙

㉑ 代 理 人 弁理士 滝野秀雄

川越市山田字西町25番の1パイ  
オニア株式会社川越工場内

最終頁に続く

㉒ 発 明 者 金子幸弘

明 細 書

1. 発明の名称

シリアルデータ通信回路

2. 特許請求の範囲

クロックに応じて1ビットづつシリアルにデータを出し及び入力可能なシフトレジスタと、このシフトレジスタの出力に接続され、送信時のみイネーブル状態に、それ以外の時ハイインピーダンス状態になるバッファとを備え、前記バッファの出力と前記シフトレジスタの入力とを接続したことを特徴とするシリアルデータ通信回路。

3. 発明の詳細な説明

本発明は、シリアルデータの双方向通信を行うのに適したシリアルデータ通信回路に関するものである。

従来この種の回路として、2つの機器A及びB間で1対1に双方向通信を行う第1図に示すものがあった。図において、1a、1bは機器A、B内にそれぞれ設けられたシリアルパラレルデータ変換を行うシフトレジスタ、2a、2bは機器

A、B内にそれぞれ設けられた、シフトレジスタ1a、1bのシフトクロック制御用のトライステートバッファである。シフトレジスタ1aの出力は、シフトレジスタ1bの入力に接続され、またシフトレジスタ1bの出力はシフトレジスタ1aの入力に接続されていて、それぞれのシフトレジスタの内容が他方に送信できるようになっている。トライステートバッファ2a、2bはイネーブル信号の印加により動作状態となり、該トライステートバッファ2a、2bを介してシフトレジスタ1a、1bのシフトクロック入力CKにシフトクロックが入力されるようになっている。3a、3bはシフトレジスタ1a、1bの段数分のシフトクロックを計数して通信の終了を知らせる終了信号を出力するカウンタである。上記シフトレジスタ1a、1b、トライステートバッファ2a、2b、カウンタ3a、3bなどは機器A及びB間の通信に当ってのインターフェース回路をそれぞれ構成している。

以上の構成により、機器Aからデータを送出す

## 特開昭59-135949(2)

る場合、シフトレジスタ1aにデータバス4aからパラレルデータがセットされる。その後トライステートバッファ2aをイネーブル状態にし、該トライステートバッファ2aを通じてシフトレジスタ1a、1bとカウンタ3a、3bに、カウンタ3a、3bがその出力Qに終了信号を出力するまで、シフトクロックを印加する。このシフトクロックの印加により、1クロック毎に1ビットのデータがシフトレジスタ1aから機器Bのシフトレジスタ1bに送り込まれて行く。そしてシフトレジスタ1aに当初セットしたデータの内容が全てシフトレジスタ1bに送られた時点で、カウンタ3a、3bから終了信号が出力される。機器Bはこのカウンタ3bからの終了信号によって受信終了を検出してシフトレジスタ1bのパラレルデータ出力をデータバス4bに取り込む。

以上が第1図の回路の基本的な通信動作であるが、機器Bから機器Aへの通信も同様に行われ、よって機器A、B間で双方向のシリアルデータ通信が行われる。

ところで、第1図に示す回路は、これを発展させて3台又はそれ以上の機器間で相互にデータの送受を行おうとしたとき、第2図に示すような構成となる。この場合、3台の機器A～Cのそれぞれの内のインターフェース回路a～cはその入出力端子がショートされてしまうため、實際上、3台以上の機器間の相互通信は不可能であった。

本発明は上述した点に鑑みてなされたもので、シフトレジスタの出力に、送信時のみイネーブル状態に、それ以外のときハイインピーダンス状態になるバッファを接続すると共に、このバッファの出力と上記シフトレジスタの入力とを互に接続することにより、従来不可能であった3台以上の機器間の相互通信も可能にするシリアルデータ通信回路を提供することを目的としている。

以下本発明の実施例を図に基づいて説明する。

第3図は本発明によるシリアル通信回路の一実施例を示すブロック図である。図において、11a、11bは機器A、B内にそれぞれ設けられたシフトレジスタであり、その出力端子SOはバッ

ファとして働くトランジスタQa、Qbのベースに接続され、入力端子SIはトランジスタQa、Qbのコレクタに接続されている。12a、12bはカウンタであり、そのクロック入力CKに与えられるクロックパルスを計数し、所定数のクロックパルスの計数に応じて信号を送出する出力Qは、シフトレジスタ11a、11bのクリア入力端子CLRに接続されている。シフトレジスタ11a、11bはそのクリア入力端子CLRに信号が印加されると、その内容が0にリセットされる。13a、13bは第1図中のトライステートバッファ2a、2bと同じものでよいトライステートバッファであり、クロックパルスの送受の制御を行う。なお、14a、14b及び15a、15bはプルアップ抵抗及び電流制限抵抗であり、抵抗14a、14bがトランジスタQa、Qbのコレクタと電源Vccとの間に、抵抗15a、15bがトランジスタQa、Qbのベースとシフトレジスタ11a、11bの出力端子SOとの間にそれぞれ接続されて、NPNトランジスタによる一般的なオー

ブンコレクタバッファが構成されている。なお、この部分は、NチャンネルMOSFETのオープンドレイン構成で置換えることができる。また16a、16bはデータバスである。

以上の構成において、機器Aから機器Bに通信を行う場合について以下説明する。

まず、送信するデータがデータバス16aからシフトレジスタ11aにセットされ、同時にシフトレジスタ11bがリセットされる。そして次に、トライステートバッファ13aがイネーブル状態にされてシフトレジスタ11aとカウンタ12aにシフトクロックが送られ、シフトレジスタ11aの内容が1ビットずつシフトされてトランジスタQaを介してデータラインLoに出力される。上記シフトクロックは同時にクロックラインLcを通じてシフトレジスタ11bとカウンタ12bに送られ、シフトレジスタ11bにはシフトレジスタ11aからのデータが1ビットずつ順次取り込まれる。このときシフトレジスタ11bはシフトクロックの印加に応じ1ビットずつ出力するが、

最初にその内容がクリアされて全てのラッチが0にされているため、その出力は常にLレベルになっていて、トランジスタQbはオフとなっているので、シフトレジスタ11bの出力がデータラインLoに何らの影響も与えない。

上述のようなシフトクロックの印加が所定数行われ、シフトレジスタ11aの内容が全て出力されると、カウンタ12aがカウントアップして終了信号をその出力Qに送出し、これをシフトレジスタ11aに加えてシフトレジスタ11aをリセットすると共に通信動作を終了する。機器Bにおいても、機器Aから送られてくるシフトクロックを計数しているカウンタ12bが同じ様にカウントアップしてその出力Qに終了信号を送出するが、この終了信号によりシフトレジスタ11bの内容がデータバス16bに並列に取り込まれ、更にシフトレジスタ11bのクリアが行われて、機器Bが再度受信可能な状態にされる。

機器Bから機器Aへの通信も上述と同じ様な動作により行われる。そして機器の数が増した場合

### 特開昭59-135949(3)

でも、受信状態にある機器はデータラインに影響を与えないため、増設する機器のシフトクロックラインとデータラインを単純にそれぞれ接続するだけでよい。

なお、上述の実施例では、トランジスタQa、QbとしてNPN型のものを用いているが、リセット入力の印加によりシフトレジスタ11a、11bに全て1をセットするようにすれば、このトランジスタをPNP型にすることもできる。

また、トランジスタQa、Qbを、第4図に示すようにトライステートバッファ13a、13bと同期してイネーブル制御されるトライステートバッファ17a、17bと置換えることもでき、この場合には通信開始時のシフトレジスタ11a、11bのリセットが不用になる。

上述した本発明による通信回路は、第5図に示すように、テーブルコードの操作部であるキーボードX、ディスプレイ部Y及びデッキ本体Z間での通信を行うために利用できる。キーボードX、ディスプレイ部Y及びデッキ本体Zは、各々がシ

フトレジスタ、カウンタ、トライステートバッファなどからなるインターフェース回路I~IIIにデータバスBx、By、Bzを介して接続されると共に、これらのインターフェース回路I~IIIを介してデータ用とクロック用の2本のラインによって相互に接続されている。

以上のような構成のため、例えば第6図に示すように本体Zの前面に開閉自在に設けられた可動部Kの前面に、キーボードXとディスプレイ部Yを設けた場合でも、本体Zと可動部Kとの間には2本という少ない数のラインが配設されるだけであるため、可動部の開閉によるラインの劣化が起り難く、信頼性が損われることもない。

従来一般に本体Zの前面の可動部は、カセット挿入口の蓋体として以外に用いられていないが、上述のようにキーボードやディスプレイ部を設けるために利用することにより、本体Zの限られた大きさの前面の有効利用が図られるようになってより多くの操作スイッチや大きなディスプレイを本体前面に設けることが可能になり、このため多

機能高性能なテーブルコードを得ることができる。

また、上述のようにテーブルコードの前面に多くのスイッチ、大きなディスプレイを設けることが可能になると、第5図に破線で囲まれるようにチューナTをインターフェース回路IVを介して可動部KのキーボードXとディスプレイ部Yに接続すれば、可動部KのキーボードXとディスプレイ部Yのそれぞれの一部をチューナTのために用いてチューナTを遠隔操作により動作させることも可能になる。そしてこのような場合にも、ライン数は増すことがないので、信頼性が損われることがない。

以上のように本発明によれば、シフトレジスタの出力に、送信時のみイネーブル状態となり、それ以外のときはハイインピーダンス状態となるバッファを接続し、このバッファの出力をシフトレジスタの入力に接続しているため、3台以上の機器相互間でのシリアルデータ通信が可能となる他、従来2本必要とされたデータラインが1本でよくなっている。また、シフトレジスタの出力に

特開昭59-135949(4)

17a, 17b—トライステートバッファ

バッファが接続されることにより、従来に比べ高速で通信を行うことも可能になっている。そして、これらにより、より信頼性の高い通信が可能になると共に、回路のコスト低減も図られる。更にまた、3台以上の機器間の相互通信が可能となることによって、数種の機器を1ヶ所に設けた操作部により動作させたり、1ヶ所のディスプレイ部に表示を行わせるなど、集中コントロールや集中ディスプレイを簡単な構成により、ローコストで実現することができる。

特許出願人

パイオニア株式会社

代理人

瀧野 秀 雄



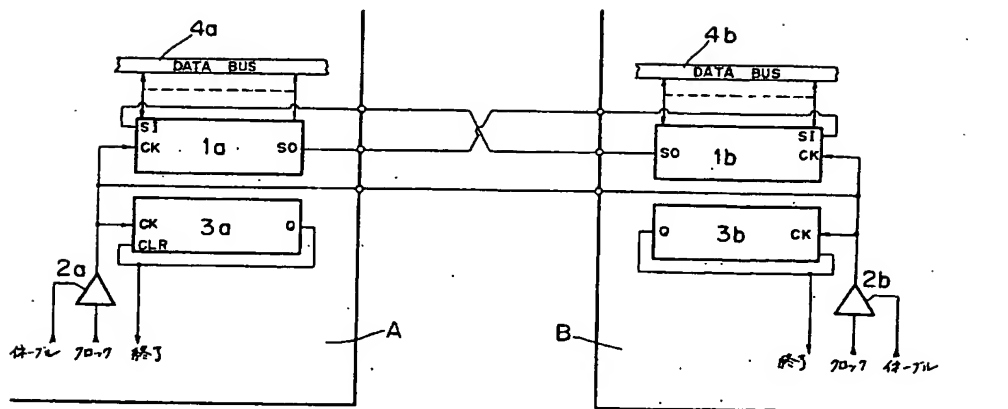
## 4. 図面の簡単な説明

第1図は従来のシリアルデータ送受信回路例を示すブロック図、第2図は第1図の回路による3台の機器間の回路接続を示すブロック図、第3図は本発明の一実施例を示すブロック図、第4図は他の実施例を示すブロック図、第5図は本発明の応用例を示すブロック図、及び第6図は第5図の応用例の外観斜視図である。

11a, 11b—シフトレジスタ

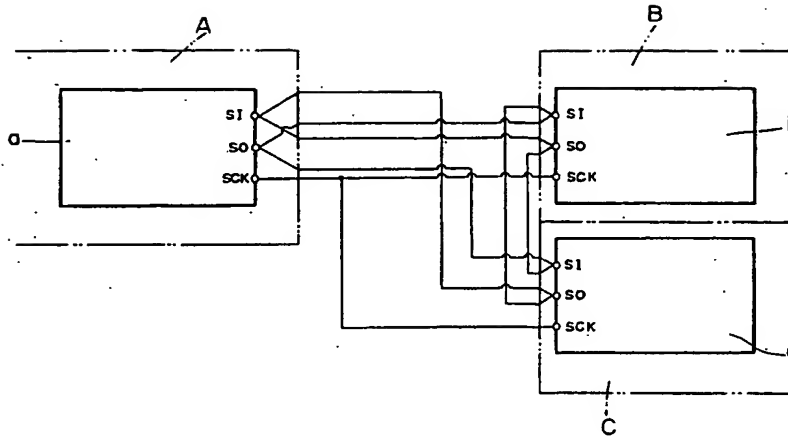
Qa, Qb—トランジスタ

第1図

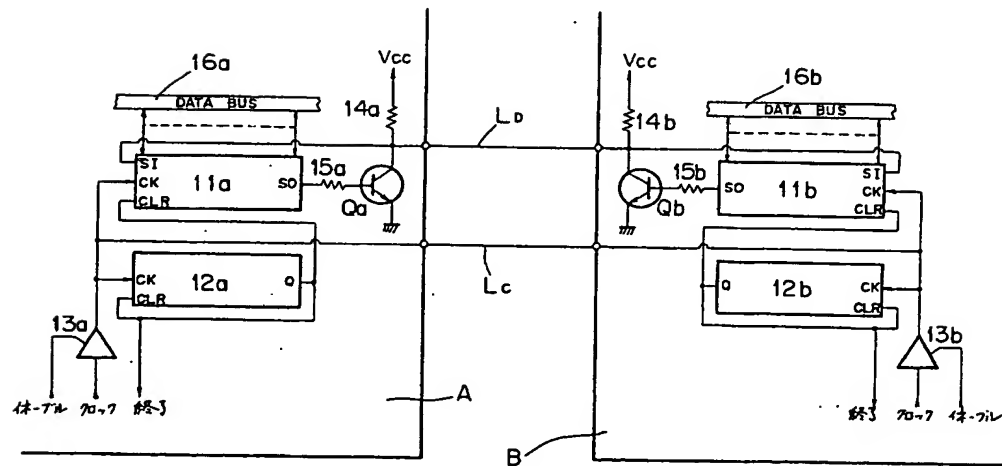


特開昭59-135949 (5)

第 2 図

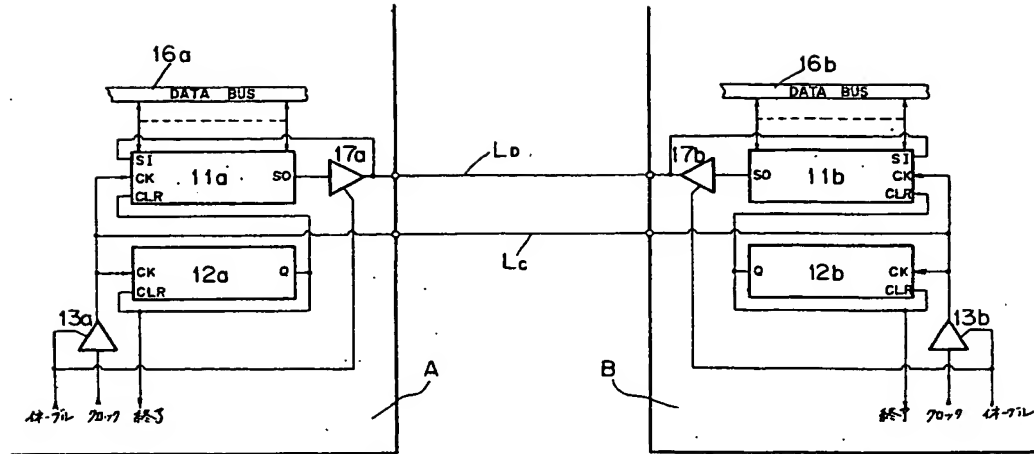


第 3 図

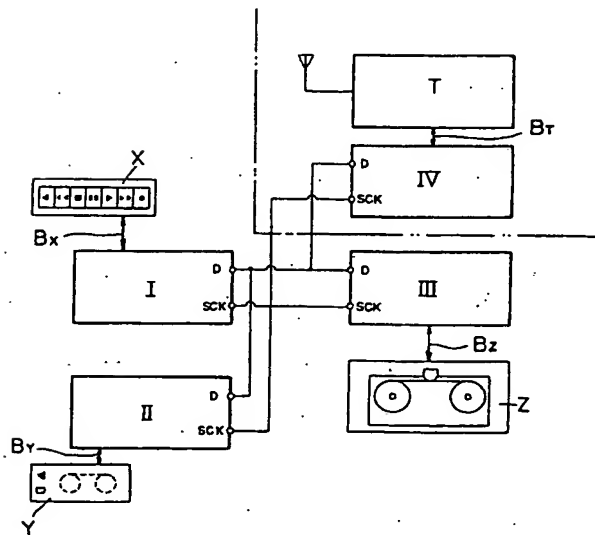


特開昭 59-135949 (6)

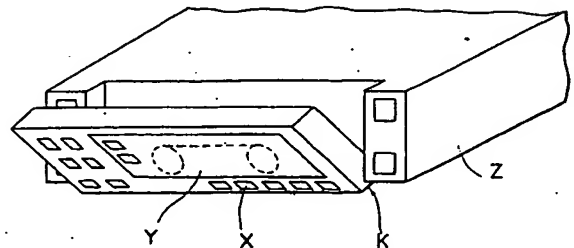
第 4 図



第 5 図



第 6 図





第1頁の続き

②発明者 沢木学

川越市山田字西町25番の1パイ  
オニア株式会社川越工場内

特開昭59-135949(7)

手続補正書(自発)

昭和58年6月15日

特許庁長官 石 杉 和 央 殿

1. 事件の表示 昭和58年 特許願 第 9943 号

2. 発明の名称 シリアルデータ通信回路

3. 補正をする者

事件との関係 特許出願人

住 所 東京都目黒区目黒1丁目4番1号

名 称 (501) パイオニア株式会社

4. 代 理 人

住 所 東京都千代田区内幸町2-1-1(飯野ビル) 7100  
電話東京(502) 8171(代表)

氏 名 (6069) 弁護士 渡 野 秀 雄

5. 補正命令の日付 昭和 年 月 日

6. 補正により増加する発明の数

7. 補正の対象  
明細書の「発明の詳細を説明」の欄

8. 補正の内容 別紙のとおり

1. 明細書第11頁第4行の「低域」を「低域」に訂正する。

